

**JP5110389**

**Title:**  
**STATIC FLIP-FLOP CIRCUIT**

**Abstract:**

**PURPOSE:**To ensure the operating margin at a low speed without losing high speed performance and to reduce the power consumption. **CONSTITUTION:**Resistors R21, R22 are connected to collectors of transistors(TRs) Q41, Q42 being data read differential pairs in a master circuit 1 and load resistors RL1, RL2 are connected to collectors of TRs QL1, QL2 being data latch differential pairs, resistors R23, R24 are connected to collectors of TRs Q43, Q44 being data latch differential pairs in a slave circuit 2 and load resistors RL3, RL4 are connected to collectors of TRs QL3, QL4 being data latch differential pairs.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-110389

(43) 公開日 平成5年(1993)4月30日

(51) Int.Cl.<sup>5</sup>

H03K 3/289

識別記号

庁内整理番号

A 7328-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全12頁)

(21) 出願番号 特願平3-295155

(22) 出願日 平成3年(1991)10月15日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 村田 浩一

東京都千代田区内幸町1丁目1番6号日本  
電信電話株式会社内

(72) 発明者 鈴木 正雄

東京都千代田区内幸町1丁目1番6号日本  
電信電話株式会社内

(72) 発明者 大畑 正信

東京都千代田区内幸町1丁目1番6号日本  
電信電話株式会社内

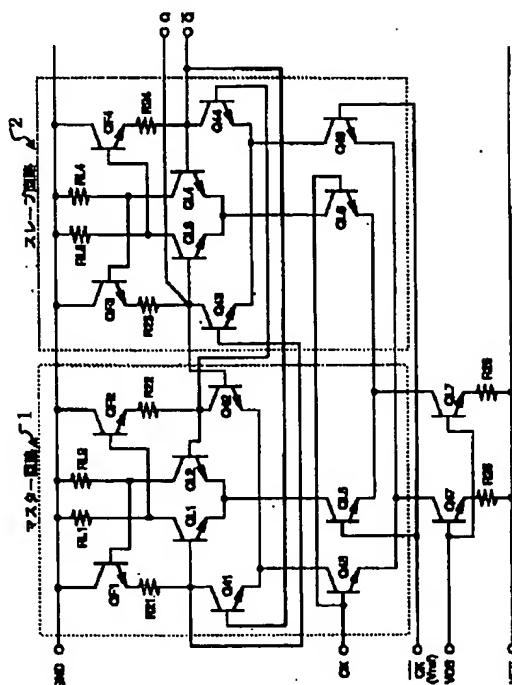
(74) 代理人 弁理士 福森 久夫

(54) 【発明の名称】 スタティック型フリップフロップ回路

(57) 【要約】

【目的】 本発明は、高速性を失わずに低速での動作余裕を確保し、かつ、低消費電力化を可能にしたフリップフロップ回路を提供することを目的とする。

【構成】 マスター回路1では、データ読み込み用差動対たるトランジスタQ41、Q42のコレクタには抵抗R21、R22が接続され、データ保持用差動対たるトランジスタQL1、QL2のコレクタには負荷抵抗RL1、RL2が接続され、スレーブ回路2では、データ読み込み用差動対たるトランジスタQ43、Q44のコレクタには抵抗R23、R24が接続され、データ保持用差動対たるトランジスタQL3、QL4のコレクタには負荷抵抗RL3、RL4が接続された構成となっている。



## 【特許請求の範囲】

【請求項1】 マスター回路とスレーブ回路とを備え、前記マスター回路は、一対のトランジスタにより構成されたデータ読み込み用の第1の差動対、及び一対のトランジスタにより構成されたデータ保持用の第2の差動対から成る第1の上段回路を有し、前記スレーブ回路は、一対のトランジスタにより構成されたデータ読み込み用の第3の差動対、及び一対のトランジスタにより構成されたデータ保持用の第4の差動対から成る第2の上段回路を有し、一方、クロック信号の第1及び第2の信号状態を入力する第1及び第2の下段回路を有し、前記クロック信号が前記第1の信号状態から第2の信号状態へ移行したとき、前記第1の差動対及び前記第4の差動対を作動させて従前の第1の出力状態を保持し、前記クロック信号が前記第2の信号状態から第1の信号状態へ移行したとき、前記第2の差動対及び前記第3の差動対を作動させて第2の出力状態を得るようにしたスタティック型フリップフロップ回路において、前記第1乃至第4の差動対を構成する各一対のトランジスタには、夫々各別の負荷抵抗が設けられたことを特徴とするスタティック型フリップフロップ回路。

【請求項2】 請求項1において、マスター回路の第2の差動対及びスレーブ回路の第4の差動対を構成する各一対のトランジスタは、夫々のエミッタが共通に接続されており、該共通に接続されたエミッタの各々には、電流源用トランジスタが夫々接続されていることを特徴とするスタティック型フリップフロップ回路。

【請求項3】 請求項1において、第1の下段回路は、夫々のエミッタが共通に接続された一対のA、Bのトランジスタにより構成され、第2の下段回路は、夫々のエミッタが共通に接続された一対のC、Dのトランジスタにより構成され、前記Aのトランジスタのコレクタは第1の差動対を構成する一対のトランジスタの共通に接続されたエミッタに接続され、前記Bのトランジスタのコレクタは第3の差動対を構成する一対のトランジスタの共通に接続されたエミッタに接続され、前記Cのトランジスタのコレクタは第2の差動対を構成する一対のトランジスタの共通に接続されたエミッタに接続され、前記Dのトランジスタのコレクタは第4の差動対を構成する一対のトランジスタの共通に接続されたエミッタに接続されていることを特徴とするスタティック型フリップフロップ回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置にあってスタティック動作をおこなうフリップフロップ回路の改良に関するものである。

【0002】

【従来の技術】 従来のスタティック型フリップフロップ回路としては、例えば図7に示す第1の従来例のよう

に、ECL基本回路を用いたものが知られている。

【0003】 図中Q1～Q18はバイポーラトランジスタ、R1～R10は抵抗、GNDはグランド端子、VEEは電源端子、VCSは定電流源端子である。CKはクロック信号入力端子、CKにバーを付したもの（以下「CK（バー）」と表す）はクロック補信号入力端子、Qは真信号出力端子、Qにバーを付したもの（以下「Q（バー）」と表す）は補信号出力端子である。

【0004】 前記第1の従来例に係るフリップフロップ回路は、マスター回路9については、2組の上段の差動対（データ読み込み用差動対たるトランジスタQ1、Q2、及びデータ保持正帰還差動対たるトランジスタQ3、Q4）、1組の下段の差動対（トランジスタQ5、Q6）、データ読み込み用差動対及びデータ保持正帰還差動対に共通の負荷抵抗R1、R2により大略構成され、スレーブ回路10については、該マスター回路9と同じ回路構成になっており、前記スレーブ回路10の出力がマスター回路9の入力に帰還されるように接続されている。ここで、本フリップフロップ回路はデジタル動作を行うので、その最高動作周波数は $1/2t_{pd}$ （ $t_{pd}$ はマスター回路およびスレーブ回路の伝搬遅延時間）で制限されることになる。

【0005】 なお、本従来例では、マスター回路9のトランジスタQ3、Q4の信号レベル変換、及び次段のスレーブ回路10のトランジスタQ10、Q11を駆動する際の駆動能力強化のために、グランドGNDと電源端子VEE間にエミッタフォロア回路（トランジスタQ8、抵抗R6、及びトランジスタQ9、抵抗R7）が接続されている。

【0006】 また、第2の従来例として、図8に示すようなものが知られている（特願平3-207048）。本第2の従来例は、下段の差動対をトランジスタQ25、Q26、及びトランジスタQ35、Q36で構成する点が前記第1の従来例と異なっており、図7の場合に比べて回路動作が高速化できるようになっている。

【0007】 前記第2の従来例の回路構成では、データ保持用正帰還差動対（マスター回路11については、トランジスタQ31、Q32から成る差動対、スレーブ回路12についてはトランジスタQ33、Q34から成る差動対）については、上記第1の従来例に比べれば、その動作電流の低下、およびトランジスタサイズの縮小、各差動対のミラー容量の低減を図ることができ、上記伝搬遅延時間 $t_{pd}$ の短縮、ひいては高速動作も行える。

【0008】 図2は、上記第1及び第2の従来例の回路動作を示す信号波形図を示すものであり、出力端子Q、Q（バー）から出力される信号は、クロック信号がhighレベルからlowレベルに変化するときに反転する。従って、該クロック信号の入力により、出力端子Q、Q（バー）にはクロック周波数を $1/2$ に分周した周波数の信号が出力される。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来例の回路構成によれば、データ保持用正帰還差動対（トランジスタQ31、Q32、及びトランジスタQ33、Q34から成る差動対）の動作電流は、データ読み込み用負荷抵抗R1、R2に支配されるので小さくなり、該差動対の利得も小さくなり、その結果、回路のデータ保持時間が長い場合、換言すれば回路が低速で動作する際には、動作余裕が小さくなるという問題があった。

【0010】また、上記従来例の回路構成においては、消費電流を小さくした場合、論理振幅を確保するために負荷抵抗が大きくなり、動作速度が低下するという問題があった。

【0011】本発明は、上記従来技術の課題を解決するべくなされたものであり、高速性を失わずに低速での動作余裕を確保し、しかも、低消費電力化を可能にしたフリップフロップ回路を提供することを目的とするものである。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するために、データ読み込み用差動対とデータ保持用差動対の負荷抵抗を分離し、データ読み込み用差動対とデータ保持用差動対の利得を別個に設定できる回路構成としたものである。

【0013】

【作用】データ読み込み用差動対に接続される負荷抵抗とデータ保持用正帰還差動対に接続される負荷抵抗とは互いに分離された状態で設けられているので、夫々の差動対の動作電流に応じて当該負荷抵抗を調整することができ、各々の差動対の利得を各別に制御することが可能となる。従って、回路動作の高速化を図るべくデータ保持用正帰還差動対の動作電流を小さくした場合でも、負荷抵抗を大きくすることによりデータ保持用差動対の出力電圧を十分大きくすることができ、低速動作時の動作余裕を大きくすることができる。また、両差動対の負荷抵抗を分離する構成としているので、信号レベル変換および次段のトランジスタを駆動する際の駆動能力強化のために用いられるグランドおよび電源端子間に接続されるエミッタフォロア回路を省略することができ、その省略した分だけ低消費電力化が可能となる。

【0014】

【実施例】図1は、本発明の第1の実施例を示すものである。本実施例に係るフリップフロップ回路は、マスター回路1とスレーブ回路2により構成される。そして、前記マスター回路1は、一対のトランジスタQ41、Q42により構成されたデータ読み込み用の第1の差動対、及び一対のトランジスタQL1、QL2により構成されたデータ保持用の第2の差動対から成る第1の上段回路を有している。前記第1の差動対を構成する一対の

トランジスタQ41、Q42には、各々のコレクタに夫々エミッタフォロア回路を構成するトランジスタQF1、及び抵抗R21と、トランジスタQF2、及び抵抗R22が接続され、前記第2の差動対を構成するトランジスタQL1、QL2には、夫々のコレクタに負荷抵抗RL1、RL2が接続されている。なお、本実施例及び以下の各実施例においてトランジスタはバイポーラに係るものである。

【0015】また、前記スレーブ回路2は、前記スレーブ回路1と同様に構成されており、一対のトランジスタQ43、Q44により構成されたデータ読み込み用の第3の差動対、及び一対のトランジスタQL3、QL4により構成されたデータ保持用の第4の差動対から成る第2の上段回路を有している。前記第3の差動対を構成する一対のトランジスタQ43、Q44には、各々のコレクタにエミッタフォロア回路のトランジスタQF3、及び抵抗R23と、トランジスタQF4、及び抵抗R24が夫々接続され、前記第4の差動対を構成するトランジスタQL3、QL4には、夫々のコレクタに負荷抵抗RL3、RL4が接続されている。

【0016】一方、クロック信号の真信号入力端子CKには、トランジスタQ45、QL6のベースが接続されており、該クロック信号の補信号入力端子CK（バー）には、トランジスタQ46、QL5のベースが接続されている。前記トランジスタQ45、Q46は、各エミッタが共通に接続され、前記トランジスタQL5、QL6は、各エミッタが共通に接続されている。

【0017】また、前記トランジスタQ45のコレクタは前記第1の差動対のトランジスタQ41、Q42の共通エミッタに接続され、前記トランジスタQL5のコレクタは前記第2の差動対のトランジスタQL1、QL2の共通エミッタに接続されている。同様に、前記トランジスタQ46のコレクタは前記第3の差動対のトランジスタQ43、Q44の共通エミッタに接続され、前記トランジスタQL6のコレクタは前記第4の差動対のトランジスタQL3、QL4の共通エミッタに接続されている。

【0018】ここで、前記一対のトランジスタQ45、Q46は、第1の下段回路たる差動対を、前記一対のトランジスタQL5、QL6は、第2の下段回路たる差動対を構成している。

【0019】前記第1の差動対のトランジスタQ41のコレクタは第2の差動対のトランジスタQL1のベース、及び第3の差動対のトランジスタQ43のベースに接続され、第1の差動対のトランジスタQ42のコレクタは第2の差動対のトランジスタQL2のベース、及び第3の差動対のトランジスタQ44のベースに接続されている。

【0020】前記第2の差動対のトランジスタQL1、QL2の各コレクタはトランジスタQF2のベース、ト

ランジスタQF1のベースに夫々接続され、前記第4の差動対のランジスタQL3、QL4の各コレクタはランジスタQF4のベース、ランジスタQF3のベースに夫々接続されている。

【0021】なお、前記スレーブ回路2のランジスタQ43、Q44の各コレクタには、出力端子Q、Q（バー）が夫々接続され、前記マスター回路1のランジスタQ41、Q42の各ベースには、夫々出力端子Q、Q（バー）が接続されている。

【0022】他方、前記第1の下段回路の差動対のランジスタQ45、Q46の共通エミッタは定電流源用ランジスタQ47のコレクタに接続され、前記第2の下段回路の差動対のランジスタQL5、QL6の共通エミッタは定電流源用ランジスタQL7のコレクタに接続されている。

【0023】なお、ランジスタQ47、QL7の各ベースは定電流源端子VCSに接続され、各エミッタに接続される抵抗R25、R26は電源端子VEEに接続されており、また、前記ランジスタQF1～QF4のコレクタ、及び負荷抵抗RL1～RL4はグランド端子GNDに接続されている。

【0024】次に、上記のように構成された本第1の実施例の回路動作につき説明する。

【0025】本回路動作を説明する前に、図1の回路において、クロック信号がlowレベルの場合であって出力端子Q、Q（バー）に夫々highレベル（以下H信号と称する）、lowレベル（以下L信号と称する）の信号が出力されているときを始状態とする。

【0026】かかる始状態において、まず、前記クロック信号がlowレベルからhighレベルになるとランジスタQ45がオン状態となり、マスター回路1のデータ読み込み用の第1の差動対が動作状態となるので、ランジスタQ41、Q42のベースに出力端子Q（バー）、QからL信号、H信号が夫々入力され、ランジスタQ41、Q42のコレクタには各ベースへの入力信号の反転信号であるH信号、L信号が夫々出力される。

【0027】一方、前記始状態におけるスレーブ回路2では、ランジスタQL6がオン状態となり、データ保持用の第4の差動対が動作状態となるので、ランジスタQL3、QL4のベースにH信号、L信号が入力され、ランジスタQL3、QL4のコレクタに各ベースへの入力信号の反転信号であるL信号、H信号が夫々出力される。

【0028】該L信号又はH信号は、エミッタフォロア回路たるランジスタQF4、抵抗R24、又はランジスタQF3、抵抗R23を夫々介して伝播し、前記出力端子Q、Q（バー）にH信号、L信号が正帰還され、該出力端子Q、Q（バー）は、前記始状態におけるクロック信号がlowレベルのときの状態を夫々保持する。

【0029】次に、前記クロック信号が前記highレ

ベルからlowレベルになると、マスター回路1では、データ保持用の第2の差動対が動作状態となるので、ランジスタQ41、Q42のコレクタに出力されていたH信号、L信号はランジスタQL1、QL2のベースに夫々入力され、ランジスタQL1、QL2のコレクタにはそのベースへの入力信号の反転信号であるL信号、H信号が夫々出力される。

【0030】該L信号又はH信号は、エミッタフォロア回路たるランジスタQF2、抵抗R22、又はランジスタQF1、抵抗R21を夫々伝播し、マスター回路1の出力であるランジスタQ41、Q42のコレクタにH信号、L信号が正帰還されクロック信号がhighレベルのときの状態を保持する。

【0031】一方、スレーブ回路2ではデータ読み込み用の第3の差動対が動作状態となり、ランジスタQ43、Q44のベースにH信号、L信号が入力され、出力端子Q、Q（バー）（換言すれば、ランジスタQ43、Q44のコレクタ）にはそのベースへの入力信号の反転信号であるL信号、H信号がそれぞれ出力される。

【0032】以上のように、出力端子Q、Q（バー）の出力状態は、クロック信号がhighレベルからlowレベルに変化するときに反転する。

【0033】上記回路動作を繰り返すことにより前記出力端子Q、Q（バー）には、図2に示すような入力クロック周波数の1/2に分周された周波数を有する信号が出力される。

【0034】本回路構成ではデータ読み込み用の差動対（第1又は第3の差動対）と、データ保持用の差動対（第2又は第4の差動対）の電流パス及び負荷抵抗は独立したものとなっている。

【0035】その結果、データ保持用差動対の動作電流及びランジスタサイズを従来例に比べてさらに小さくすることができ、データ保持に必要な時間を短縮して回路を高速化できる。さらに、データ保持用差動対の負荷抵抗RL1、RL2のみを大きくすることができ、低速動作時の動作余裕を大きくすることが可能である。

【0036】さらに、従来回路で必要とされていたグランドと電源端子間に接続されるエミッタフォロア回路が省略されるためにその分だけ低消費電力化が可能となる。

【0037】図3は、本発明の第2の実施例を示すものである。本実施例は、データ保持用の第2の差動対たるランジスタQL11、及びQL12の共通エミッタにランジスタQL15、及び抵抗R36から成る定電流源、及び第4の差動対たるランジスタQL13、及びQL14の共通エミッタにランジスタQL16及び抵抗R37から成る電流源を接続する構成としたものである。本回路構成の場合、データ保持用差動対（第2及び第4の差動対）は常に動作状態であるが、回路動作は上記第1の実施例と同様である。

【0038】図4は、本発明の第3の実施例に係るフリップフロップ回路を示すものである。本実施例は、マスター回路5におけるデータ読み込み用の第1の差動対（トランジスタQ61、Q62）の共通エミッタにトランジスタQ65のコレクタを、データ保持用の第2の差動対（トランジスタQL21、QL22の共通エミッタ）にトランジスタQ66のコレクタを接続し、スレーブ回路6におけるデータ読み込み用の第3の差動対（トランジスタQ63、Q64）の共通エミッタにトランジスタQ67のコレクタを、データ保持用の第4の差動対（トランジスタQL23、QL24の共通エミッタ）にトランジスタQ68コレクタを接続する構成したものである。

【0039】すなわち、トランジスタQ65、及びQ66、並びにQ67、及びQ68により第1及び第2の下段回路を構成するようにしたものである。本実施例の回路動作も上記第1の実施例と同様である。

【0040】本実施例の場合、データ読み込み用差動対（第1の差動対又は第3の差動対）とデータ保持用差動対（第2の差動対又は第4の差動対）の動作電流は等しく、データ保持用差動対の動作電流を小さくできないが、QL21～QL24のトランジスタサイズを小さくすることができるので、回路動作を高速化することができる。

【0041】図5は、本発明の第4の実施例を示すものである。本実施例は上記第1の実施例において、データ保持用第2の差動対のトランジスタQL31、QL32の共通エミッタにトランジスタQL38、及び抵抗R57から成る定電流源、並びに第4の差動対のトランジスタQL33、QL34の共通エミッタにトランジスタQL39及び抵抗R58からなる定電流源を付加接続する構成としたものである。本実施例の回路動作も上記第1の実施例と同様である。

【0042】本実施例の場合、上記第1の実施例と比べた場合、データ保持用差動対が完全に非動作状態になることがないため低速動作時の動作余裕を更に大きくできるという利点がある。

【0043】以上の実施例ではトランジスタとしてバイポーラトランジスタを用いた例について述べたが、本回路構成はFETを用いても実現可能である。また、フリップフロップ回路として分周動作が可能なT型フリップフロップ回路の例について述べたが、スレーブ回路の出力がマスター回路の入力に帰還されていない、D型フリップフロップ回路についても本回路構成が適用可能であ

ることはもちろんである。

【0044】図6は、従来例に係るフリップフロップ回路と上記第1の実施例に係るフリップフロップ回路について、その動作周波数範囲及び消費電力と、データ読み込み用差動対の動作電流とデータ保持用差動対の動作電流の比との関係のシミュレーション結果を示したものである。同図に示すように、本発明に係るフリップフロップ回路はデータ保持用差動対の動作電流を小さく設定しても低速での動作が安定であることが理解できる。また、本発明に係る回路の消費電力は従来例の回路に比べて約1/3から1/5程度に減少しており、低消費電力化という所期の目的を達成できたことが理解できる。

【0045】

【発明の効果】本発明によるスタティック型フリップフロップ回路は、データ読み込み用差動対の負荷抵抗とデータ保持用差動対の負荷抵抗を分離した構成とすることにより、各々の差動対の利得を別個に設定することができ、回路動作の高速性を損なうことなく低速動作時の動作余裕を確保できる一方、低消費電力化を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本実施例に係るフリップフロップの回路動作を説明するための信号波形図である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】本発明の第3の実施例を示す回路図である。

【図5】本発明の第4の実施例を示す回路図である。

【図6】動作周波数範囲および消費電力と、データ読み込み用差動対とデータ保持用差動対の両動作電流の比の関係を示す図である。

【図7】従来のスタティック型フリップフロップ回路の第1の例を示す回路図である。

【図8】従来のスタティック型フリップフロップ回路の第2の例を示す回路図である。

【符号の説明】

1、3、5、7 マスター回路、

2、4、6、8 スレーブ回路、

Q41、Q42 トランジスタ（第1の差動対）、

QL1、QL2 トランジスタ（第2の差動対）、

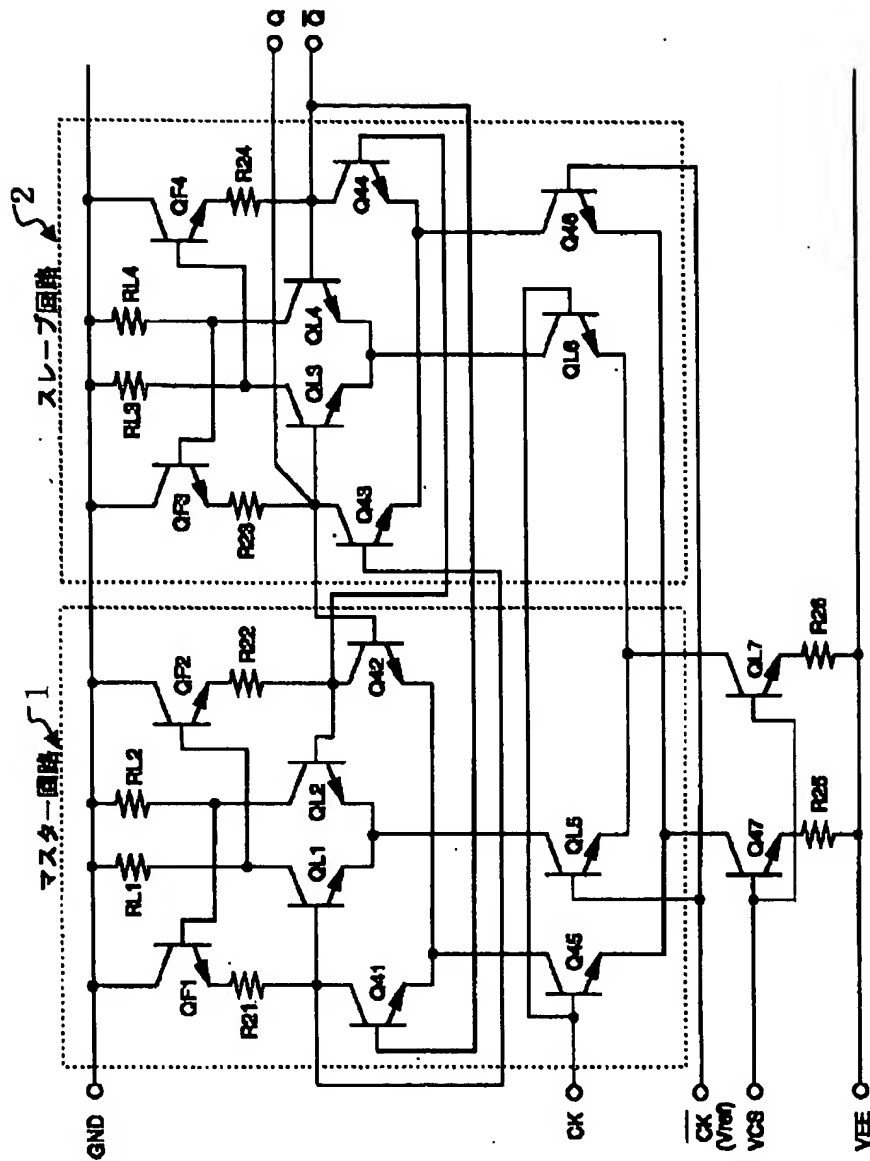
Q43、Q44 トランジスタ（第3の差動対）、

QL3、QL4 トランジスタ（第4の差動対）、

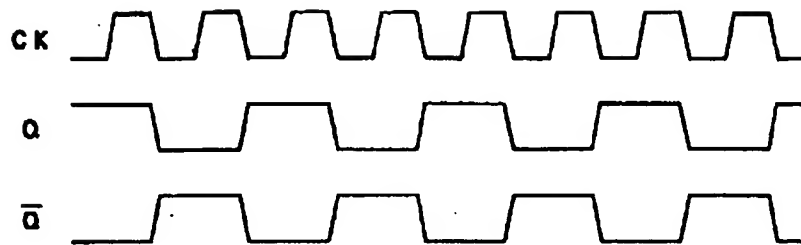
RL1、RL2、RL3、RL4 負荷抵抗、

Q45、QL5、Q46、QL6 トランジスタ（下段回路）。

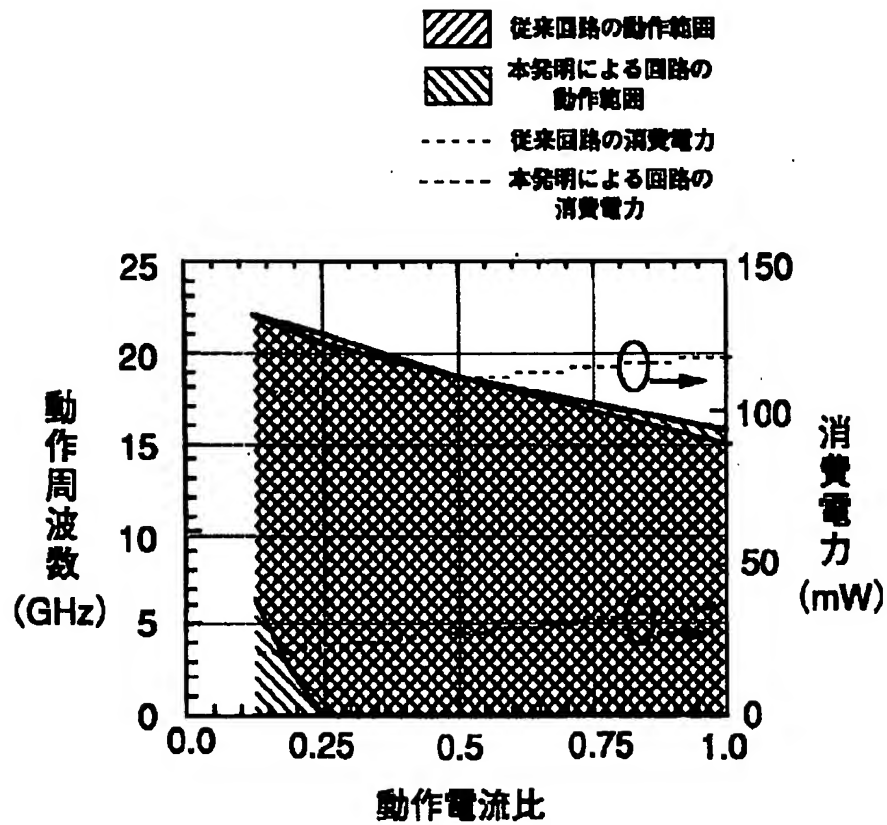
【図1】



【図2】

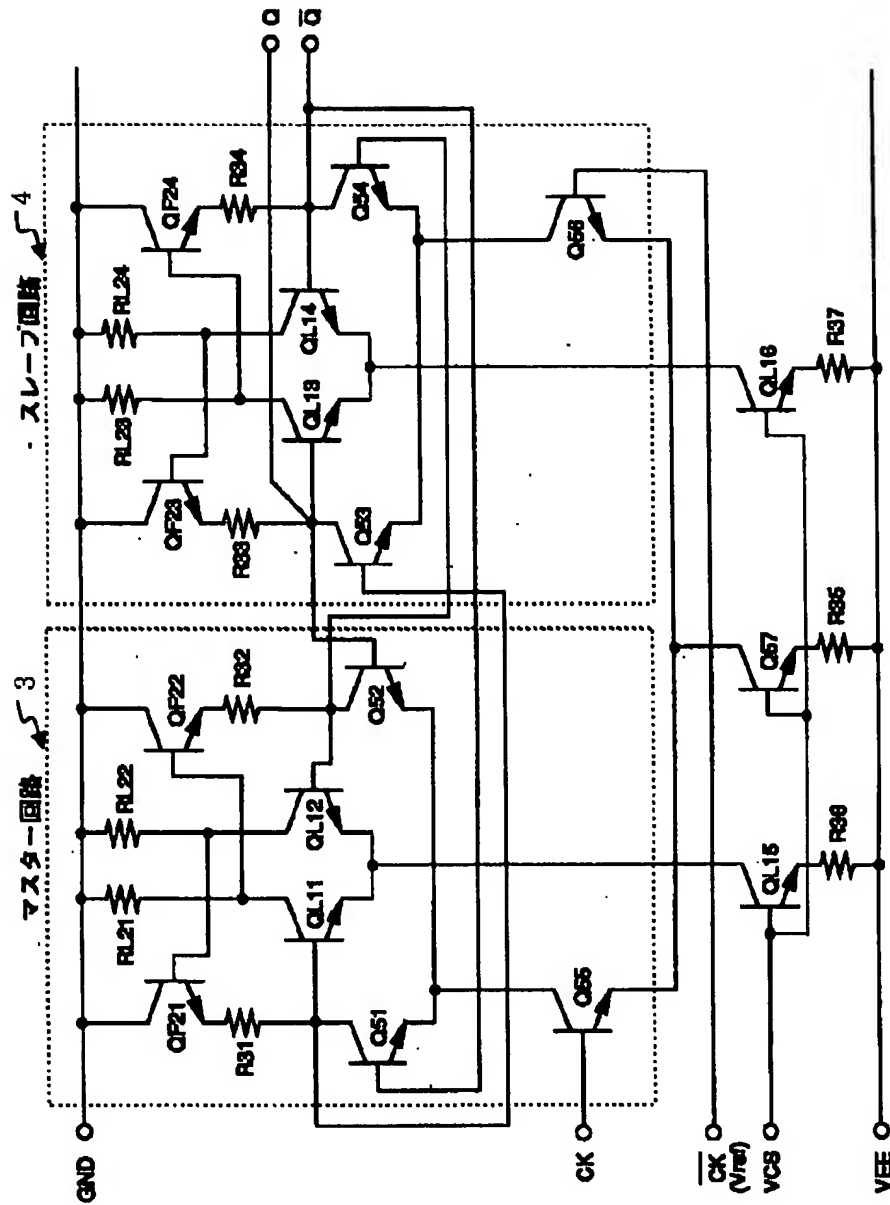


【図6】

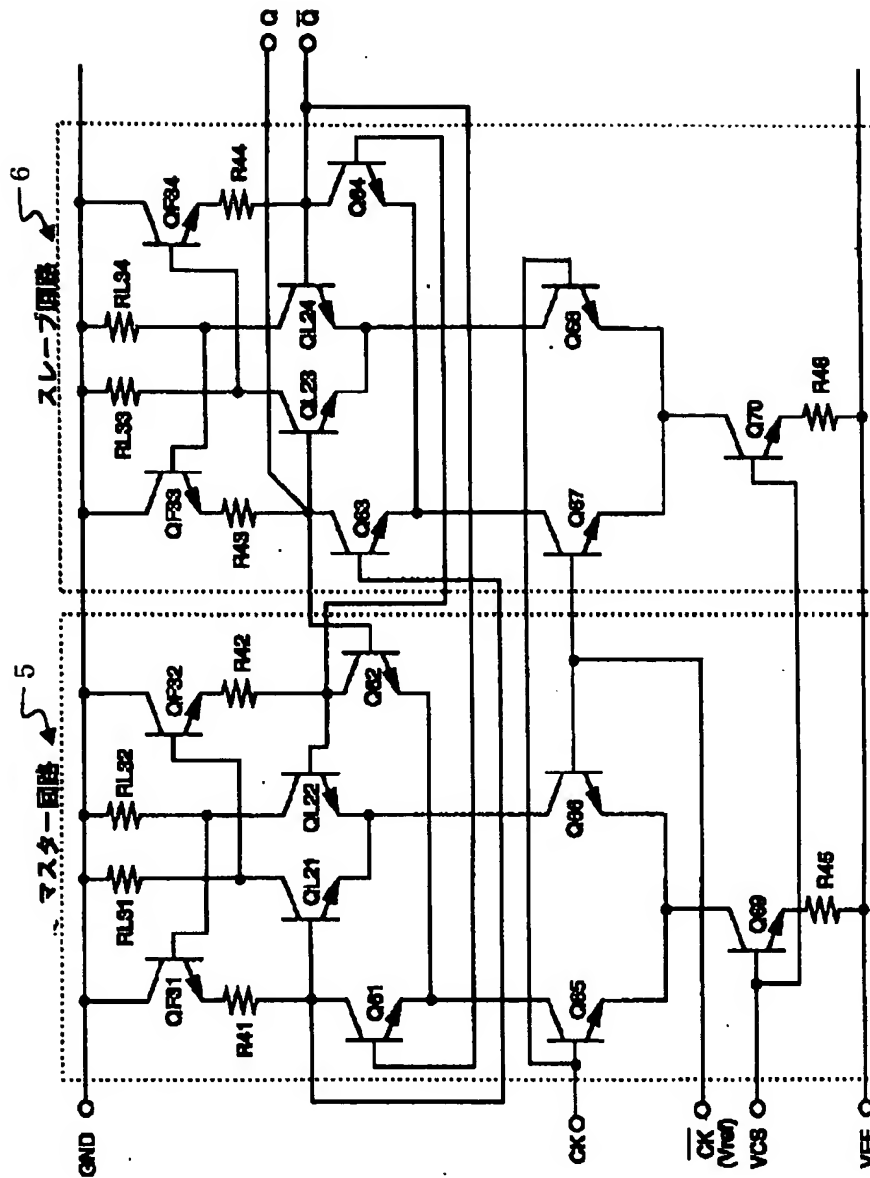




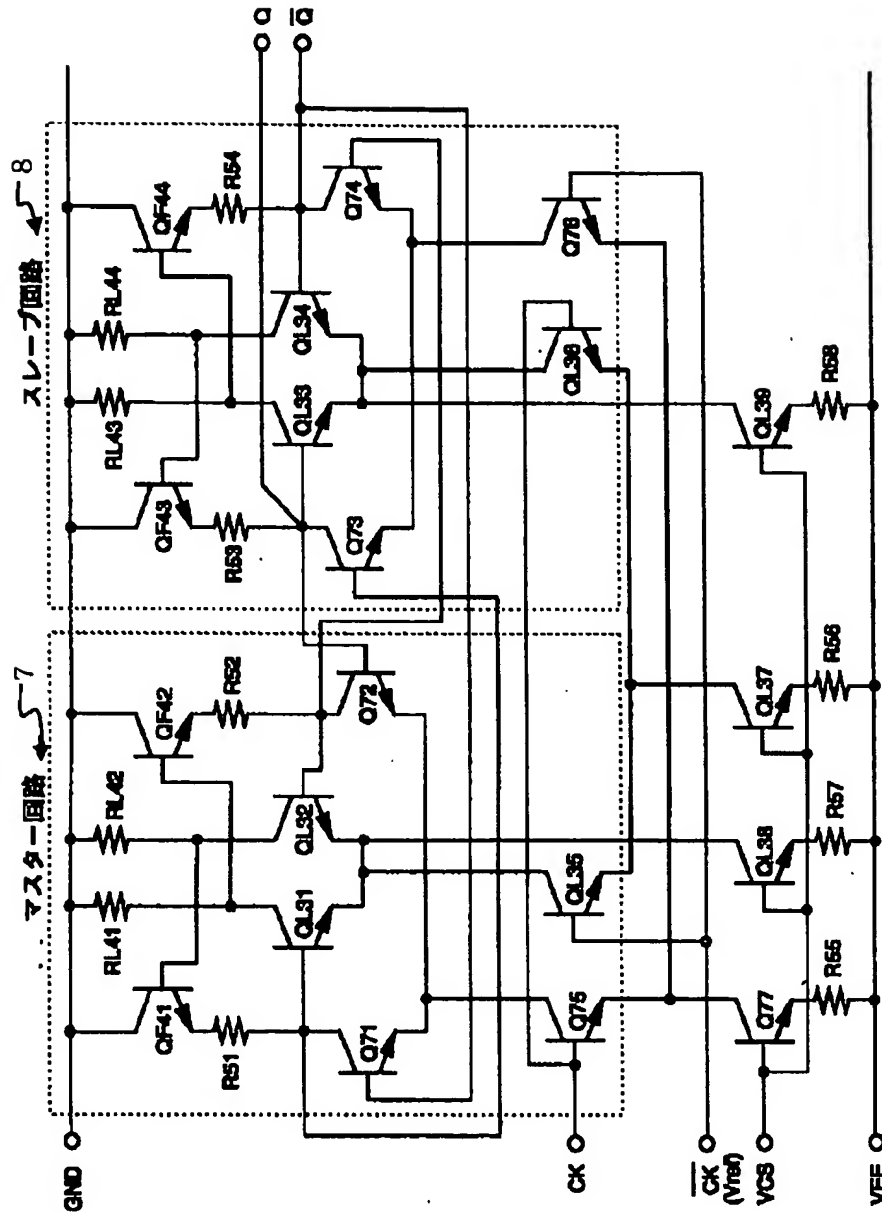
【図3】



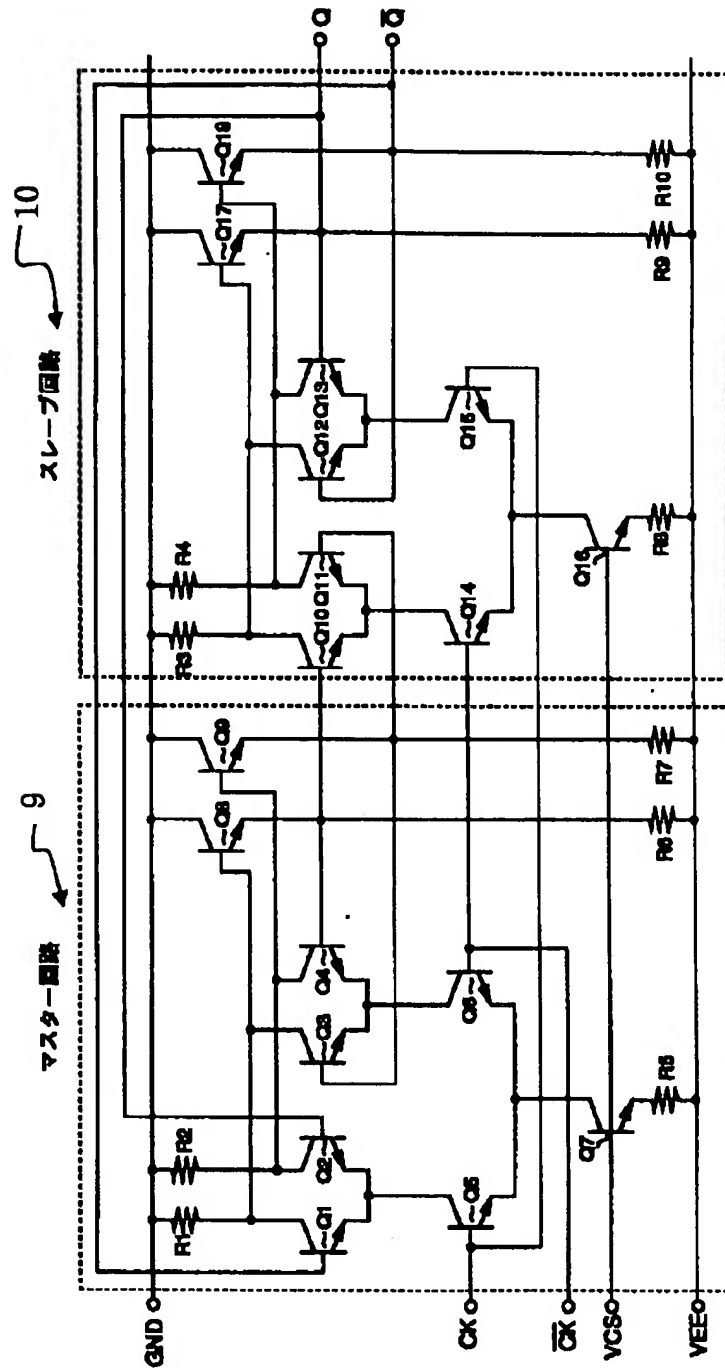
【図4】



【図5】



【図7】



【図8】

